

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-262826

(43)Date of publication of application : 25.10.1990

(51)Int.Cl.

H02H 7/122

H02H 7/12

H02M 7/48

(21)Application number : 01-027146

(71)Applicant :

HITACHI LTD

(22)Date of filing : 06.02.1989

(72)Inventor :

KIMURA ARATA

MATSUDA YASUO

TOKUNAGA KIICHI

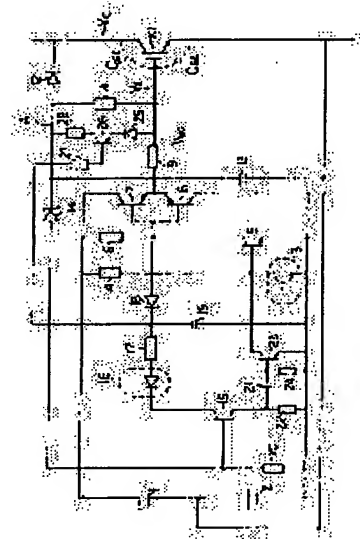
SUZUKI YUTAKA

(54) METHOD AND DEVICE FOR OVERCURRENT DETECTION OF ELECTROSTATIC INDUCTION TYPE SELF-ARCEXTINGUISHING ELEMENT, AND DERIVE CIRCUIT AND INVERTER EMPLOYING SAME

(57)Abstract:

PURPOSE: To detect overcurrent due to short circuits of arm and the like by judging overcurrent if the base voltage of a self-arcextinguishing element exceeds a reference level and then judging whether the overcurrent is caused by turn OFF.

CONSTITUTION: An overcurrent detecting circuit comprises a diode 25, a PNP transistor 26 and a resistor 27. Gate voltage VG is applied through a diode 25 onto the emitter of a transistor 26 and the voltage of a capacitor 19 is applied, as a reference voltage VGS, onto the base of the transistor 26 through a resistor 27. The transistor 26 is turned ON if $V_G > V_{GS}$ and the gate voltage VG is outputted, as an overcurrent detection signal, through a resistor 28.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平2-262826

⑫ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)10月25日

H 02 H 7/122
7/12
H 02 M 7/48

Z 8729-5G
B 8729-5G
M 8730-5H

審査請求 未請求 請求項の数 10 (全10頁)

⑭ 発明の名称 静電誘導形自己消弧素子の過電流検出方法および装置、それを用いた駆動回路とインバータ装置

⑮ 特 願 平1-27146

⑯ 出 願 平1(1989)2月6日

⑰ 発 明 者 木 村 新 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑱ 発 明 者 松 田 靖 夫 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑲ 発 明 者 徳 永 紀 一 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 堀沼 辰之
最終頁に続く

明 細 書

1. 発明の名称

静電誘導形自己消弧素子の過電流検出方法および装置、それを用いた駆動回路とインバータ装置

2. 特許請求の範囲

1. 主回路に接続されたコレクタとエミッタおよびオンオフ指令信号に応じた電圧が印加されるベースを有してなる静電誘導形自己消弧素子の過電流検出をするにあたり、前記自己消弧素子のベース電圧が基準値以上のとき過電流であると判定するようにした静電誘導形自己消弧素子の過電流検出方法。

2. 主回路に接続されたコレクタとエミッタおよびオンオフ指令信号に応じた電圧が印加されるベースを有してなる静電誘導形自己消弧素子の過電流検出をするにあたり、前記自己消弧素子のコレクタ電圧が第1の基準値以上で、かつベース電圧が第2の基準値以上のとき過電流であると判定する静電誘導形自己消弧素子の過電流

検出方法。

3. 主回路に接続されたコレクタとエミッタおよびオンオフ指令信号に応じた電圧が印加されるベースを有してなる静電誘導形自己消弧素子のゲート電圧が基準値以上のとき過電流検出信号を出力する過電流検出手段を有してなる静電誘導形自己消弧素子の過電流検出回路。

4. 主回路に接続されたコレクタとエミッタおよびオンオフ指令信号に応じた電圧が印加されるベースを有してなる静電誘導形自己消弧素子のコレクタ電圧が第1の基準値以上のとき、第1の検出信号を出力する第1の過電流検出手段と、前記自己消弧素子のゲート電圧が第2の基準値以上のとき第2の検出信号を出力する第2の過電流検出手段と。

前記第1の検出信号が出力されてから少なくとも一定時間は前記第1と第2の検出信号の論理積を前記自己消弧素子の過電流検出信号として出力し、当該時間経過後は第1の検出信号を過電流検出信号として出力するマスク手段と。

を有してなる静電誘導形自己消滅素子の過電流検出回路。

5. 主回路に接続されたコレクタとエミッタおよびオンオフ指令信号に応じた電圧が印加されるベースを有してなる静電誘導形自己消滅素子のコレクタ電圧が第1の基準値以上のとき、第1の検出信号を出力する第1の過電流検出手段と、前記自己消滅素子のゲート電圧が第2の基準値以上のとき第2の検出信号を出力する第2の過電流検出手段と、

前記第1の検出信号が一定時間以上継続したとき過電流検出信号を出力する一方、前記第2の検出信号が出力されたとき当該判断に係る継続時間を短縮するマスク手段と、

を有してなる静電誘導形自己消滅素子の過電流検出回路。

6. 前記過電流検出手段が、ダイオードを介して前記自己消滅素子のゲートに接続されたエミッタを有するPNPトランジスタを含んでなり、コレクタのベースに前記基準値の電圧源

を接続点と第2の検出信号に係る抵抗の一端をコンデンサに接続してなり、該コンデンサの端子電圧を過電流検出信号としたことを特徴とする請求項5と7いずれかに記載の静電誘導形自己消滅素子の過電流検出回路。

9. 与えられるオンオフ指令信号に応じた電圧を、コレクタとエミッタが主回路に接続されてなる静電誘導形自己消滅素子のゲートに印加するゲート電圧入力手段と、

前記静電誘導形自己消滅素子のコレクタ電圧が第1の基準値以上のとき第1の検出信号を出力する第1の過電流検出手段と、

前記静電誘導形自己消滅素子のゲート電圧が第2の基準値以上のとき第2の検出信号を出力する第2の過電流検出手段と、

前記第1の検出信号が一定時間以上継続したとき過電流検出信号を出力する一方、前記第2の検出信号が出力されたとき当該判断に係る継続時間を短縮するマスク手段と、

該判断手段の出力信号に応動して前記ゲート

が接続され、該トランジスタのコレクタを抵抗とダイオードの直列回路を介して前記自己消滅素子のコレクタに接続してなり、該直列回路の抵抗とダイオードの接続点電圧が検出信号とされたことを特徴とする請求項3記載の静電誘導形自己消滅素子の過電流検出回路。

7. 前記第1の過電流検出手段が、第1の基準値の電圧源を抵抗とダイオードの直列回路を介して前記コレクタに接続してなり、該抵抗とダイオードの接続点電圧が前記第1の検出信号とされ、

前記第2の過電流検出手段が、ダイオードを介して前記自己消滅素子のゲートに接続されたエミッタを有するPNPトランジスタを含んでなり、該トランジスタのベースに第2の基準値の電圧源が接続され、該トランジスタのコレクタ電圧が抵抗を介して第2の検出信号とされたことを特徴とする請求項4と5いずれかに記載の静電誘導形自己消滅素子の過電流検出回路。

8. 前記マスク手段が、前記第1の検出信号に係

電圧入力手段の出力電圧を低下させるコレクタ電流絞り込み手段と、

前記ゲート電圧入力手段の出力電圧が所定値に低下するまで前記オン指令信号を保持するオン保持手段と、

を有してなる静電誘導形自己消滅素子の駆動回路。

10. 静電誘導形自己消滅素子をインバータスイッチ素子とするブリッジ構成のインバータ回路と、

与えられるオンオフ指令信号に応じた電圧を前記自己消滅素子のゲートに印加するゲート電圧入力手段と、

前記静電誘導形自己消滅素子のコレクタ電圧が第1の基準値以上のとき第1の検出信号を出力する第1の過電流検出手段と、

前記静電誘導形自己消滅素子のゲート電圧が第2の基準値以上のとき第2の検出信号を出力する第2の過電流検出手段と、

前記第1の検出信号が一定時間以上継続した

とき過電流検出信号を出力する一方、前記第2の検出信号が出力されたとき当該判断に係る検出時間を短縮するマスク手段と、

該判定手段の出力信号に応じて前記ゲート電圧入力手段の出力電圧を低下させるコレクタ電流絞り込み手段と、

前記ゲート電圧入力手段の出力電圧が所定値に低下するまで前記オン指令信号を保持するオン保持手段と、

を有してなるインバータ装置、

3. 発明の詳細な説明

(発明上の利用分野)

本発明は、静電誘導形自己増強素子の過電流を検出する方法および回路、その回路を用いてなる駆動回路およびインバータ装置に関する。

(従来の技術)

電圧装置の小形化や低騒音化のニーズにより、高速スイッチング動作が可能な静電誘導形自己増強素子(MOS-FETやIGBT等)が用いられている。これらの素子、例えばIGBTを

例にすると第3図に示すようにゲート電圧とコレクタ電圧によって、流れるコレクタ電流が決定される。

このような素子をインバータ等の主スイッチに使用して高速で動作させようとする、次の様な問題が生じてくる。

インバータ等の電圧装置ではアーム短絡や負荷短絡が生じると、電圧のほとんどをオン作動中の素子が負担することになる。その結果、例えば第3図に示すような関係により、過大な短絡電流が流れる。IGBTの場合は、特開昭61-185064号公報に記載のように、コレクタ電流が過大になりすぎるとゲート電圧による制御が出来ないというラッチアップ現象による素子破壊もあるが、むしろ過大な電流を高速で遮断するために、遮断時の回路インダクタンスのエネルギーによる跳ね上がり電圧が大きく、それが素子の耐圧を超えて破壊するケースが多く見られる。

このため静電誘導形自己増強素子ではゲート電圧を制御する提案がなされている(特開昭61-

14778号公報、特開昭61-185064号公報、特開昭62-277063号公報、米国特許第4,581,540号、米国特許第4,721,869号)。

これらの従来技術は、IGBTの過電流をそのコレクタ電圧の上昇により検出し、これに基づいてゲート電圧を絞ってコレクタ電流を減速するものであり、一般的な範囲においては好適である。

(発明が解決しようとする課題)

ところで、インバータ装置などのように上・下アーム間で逆流モードが存在すると、その期間中はアーム短絡と同じ状態(以下、異相短絡状態という)になる。そこで、上記従来技術によれば、逆流動作モード期間中は過電流検出にマスクをかける必要がある。

しかしながら、インバータ装置等のように、高速のスイッチング動作を行わせる場合は、1回の通電期間が短かいので、通電期間に対するマスク期間が相対的に大きくなり、過電流を検出できない確率が高くなる。

この問題は、マスク期間をインバータ装置固有の逆流モード期間に対応させて可能な限り短く設定するとともに、通電期間の最小幅とマスク期間以上とすることで対応できる。しかし、これによればスイッチング動作の高周波化が制約され、制御性能向上の妨げとなる。また、そのマスク期間のために通電終了間際に発生した過電流は検出できない。

本発明の目的は、上記問題を解決すること、言い換えれば、ターンオンに伴う過電流の有無を識別してアーム短絡等による過電流を検出できる静電誘導形自己増強素子の過電流検出方法および回路を提供することにある。

また、本発明の他の目的は、アーム短絡等による過電流を高速にかつ確実に検出し、速やかに電流絞り込みを行うことができる静電誘導形自己増強素子の駆動回路およびインバータ装置を提供することにある。

(課題を解決するための手段)

上記目的を達成するため、本発明の過電流検出

方法および回路は、主回路に接続されたコレクタとエミッタおよびオンオフ指令信号に応じた電圧が印加されるベースを有してなる静電誘導形自己消滅素子の過電流検出をするにあたり、前記自己消滅素子のベース電圧が基準値以上のとき過電流であると判定するようにしたのである。

また、本発明の過電流検出回路は、主回路に接続されたコレクタとエミッタおよびオンオフ指令信号に応じた電圧が印加されるベースを有してなる静電誘導形自己消滅素子のコレクタ電圧が第1の基準値以上のとき第1の検出信号を出力する第1の過電流検出手段と、前記自己消滅素子のゲート電圧が第2の基準値以上のとき第2の検出信号を出力する第2の過電流検出手段と、前記第1の検出信号が一定時間以上継続したとき過電流検出信号を出力する一方、前記第2の検出信号が出力されたとき当該判断に係る継続時間を短縮するマスク手段と、該判定手段の出力信号に応じて前記ゲート電圧入力手段の出力電圧を低下させるコレクタ電流絞り込み手段と、前記ゲート電圧入力手段の出力電圧が所定値に低下するまで前記オンオフ指令信号を保持するオン保持手段と、を有してなるものである。

上記他の目的を達成するため、本発明のインバータ装置は、静電誘導形自己消滅素子をインバー

タスイッチ素子とするブリッジ構成のインバータ回路と、与えられるオンオフ指令信号に応じた電圧を前記自己消滅素子のゲートに印加するゲート電圧入力手段と、前記静電誘導形自己消滅素子のコレクタ電圧が第1の基準値以上のとき第1の検出信号を出力する第1の過電流検出手段と、前記静電誘導形自己消滅素子のゲート電圧が第2の基準値以上のとき第2の検出信号を出力する第2の過電流検出手段と、前記第1の検出信号が一定時間以上継続したとき過電流検出信号を出力する一方、前記第2の検出信号が出力されたとき当該判断に係る継続時間を短縮するマスク手段と、該判定手段の出力信号に応じて前記ゲート電圧入力手段の出力電圧を低下させるコレクタ電流絞り込み手段と、前記ゲート電圧入力手段の出力電圧が所定値に低下するまで前記オンオフ指令信号を保持するオン保持手段と、を有してなるものである。

〔作用〕

上記構成によれば、次の作用により本発明の目的が達成される。

静電誘導形自己消滅素子の通常のターンオン動作時（低流モード）における負荷短絡状態では、自己消滅素子のゲート電圧 V_g はゲート電圧入力手段の出力電圧 V_{go} よりも大きくなることはない。すなわち、ターンオン動作時のコレクタ電圧 V_c はインバータ回路等の主回路の電圧レベルから下がっていくため、ゲート電圧 V_g は自己消滅素子のコレクタ・ゲート間の帰還容量 C_{ce} を介してむしろ下がる方向になるからである。

一方、自己消滅素子がオン状態にあるときにアーム短絡や負荷短絡等が発生しコレクタ電圧 V_c が上昇を始めると、自己消滅素子のコレクタ・ゲート間の帰還容量 C_{ce} を介してゲート・エミッタ間の帰還容量 C_{ce} に充電電流が流れる。その帰還容量 C_{ce} の充電電圧のためにゲート電圧 V_g が上昇し、 V_{go} よりも高くなる。

このような現象により、本発明に係る過電流検出によれば、第2の過電流検出手段により V_g が第2の基準値（例えば、 V_{go} に相当する電圧）以上になったことを検出し、ターンオン動作をマス

クすることなく自己消滅素子の過電流を高速に検出することが可能になる。

ところで、負荷短絡等のように回路のインダクタンス分を含んだ短絡の場合には、コレクタ電圧 V_c の上昇率が抑えられ、ゲート電圧 V_g が上記第2の過電流検出手段の基準値に達するのが遅れたり、達しないことも予想される。この点は、コレクタ電圧上昇により過電流を検出する公知の第1の過電流検出手段を併用した構成とすれば、上述の負荷短絡に伴う問題を解消できる。なお、この場合は、第1の検出信号についてターンオン動作時間に見合った一定時間のマスクが必要となる。このような構成とすることにより、過電流を高速にかつ確実に検出することが可能になる。

また、本発明に係る駆動回路およびその駆動回路を用いてなるインバータ装置によれば、上記作用に加えて次の作用により目的が達成される。

すなわち、過電流検出信号が出力されるとコレクタ電流絞り手段が動作を開始し、ゲート電圧を所定の時定数で低下して過電流を減速する。そし

て制御側(PWM点弧制御回路などを含むシステム制御をいう)からの停止(オフ指令)信号によりゲート電圧の印加を停止するが、この場合ゲート電圧を所定の時定数で低下中の所定の間隔は、オン保持回路の作用により制御側から停止信号が入ってきてもゲート電圧の印加は停止せず、過電流を十分に減衰してから遮断するようになっている。

したがって、停止(オフ指令)信号の送前に過電流を検出した場合でも、過電流を直接遮断することがなく、素子破壊を防止することが出来る。

【実施例】

以下図面を参照しながら、本発明を実施例に基づいて詳細に説明する。

第1図は本発明の第1の実施例で、静電誘導形自己増強素子IGBTの駆動回路に適用した例である。ゲート用電源1、2の電圧は、コンプリメンタルに接続されたNPNトランジスタ7、PNPトランジスタ8および抵抗9を介してIGBT10のゲートに印加され、トランジスタ7、8のベース共通点はNPNトランジスタ5のコレクタ

に接続されている。そしてトランジスタ5のベースはホトトランジスタ3のコレクタに接続されており、トランジスタ3のベースにオン又はオフのオン・オフ指令信号を与えることによってIGBT10のオン、オフ状態を制御するゲート電圧入力回路を構成している。

また、IGBT10のゲートとコレクタは抵抗11とダイオード12を介して接続され、これにより抵抗11とダイオード12の接続点Aの電圧を検出信号とする第1の過電流検出回路1が構成されている。この接続点Aはツェナーダイオード14を介してトランジスタ15のベースに接続されている。なお、この過電流検出回路1はIGBT10にゲート電圧印加中のコレクタ電圧のレベルを検出する等価的な過電流検出回路を構成する。

次に、トランジスタ15のコレクタは、ホトカプラ16、抵抗17、ダイオード18を介してトランジスタ7、8のベースに接続され、抵抗17とダイオード18の接続点にはコンデンサ19が接続されている。これによりゲート電圧調整回路

(コレクタ電圧検出込み回路)を構成するとともに、過電流検出信号をホトカプラ16から制御側に送出するようになっている。

また、トランジスタ15のエミッタには抵抗22とコンデンサ21が接続され、このコンデンサ21の他端はトランジスタ23のベースと抵抗24に接続され、トランジスタ23のコレクタをトランジスタ3のコレクタに接続してオン保持回路が構成されている。

ここで、本実施例の特性に係るIGBT10のゲート電圧に基づいて過電流を検出する過電流検出回路1について説明する。本回路1はダイオード25、PNPトランジスタ26、抵抗27を含んで構成されている。すなわち、トランジスタ26のエミッタにはダイオード25を介してゲート電圧 V_g が印加され、トランジスタ26のベースには抵抗27を介してコンデンサ19の電圧が基準電圧 V_{cs} として印加されている。そして、 $V_g > V_{cs}$ のときトランジスタ26はオンし、抵抗27を介してゲート電圧 V_g を過電流の検出信号(第

2の検出信号)として出力するようになっている。この出力端は前記過電流検出回路1の接続点Aに接続されている。これにより、実質的には過電流検出回路1と2の検出信号の論理積をとるようになっている。

このように構成された実施例の動作を、第2図に示したタイムチャートを参照しながら次に説明する。

まず、トランジスタ3が制御側からの信号により時刻 t_0 でオンすると、トランジスタ5はベース電流が止まるのでオフする。その結果抵抗8を介してトランジスタ7にベース電流が流れ、NPNトランジスタ7がオン状態となり、抵抗9を介してIGBT10のゲートに電流を供給する。そしてIGBT10はゲート-エミッタ間の静電容量 C_{ce} が所定の値まで充電された後オン状態となる。

また、通常のオン期間においてゲート電流の一部が抵抗11、ダイオード12を介してIGBT10のコレクタに流れており、A点の電圧は通常

のオン状態におけるコレクタ電圧 V_c (例えば、2〜3V)に維持される。なお、IGBT10のコレクタ電流が過電流となるレベルまでコレクタ電圧 V_c が高くなると、 $V_c > V_a$ となりダイオード12が逆バイアスされてA点の電圧はゲート電圧 V_g 近くまで上昇し、過電流の第1の検出信号となる。この検出信号は基本的にはツェナーダイオード14により立上りが整えられてトランジスタ15のベースに入力されることになる。しかし、前述したようにターンオン初期においては、インバータの上アームと下アーム間で疑似短絡期間(1.〜1.5)が生じるので、IGBT10のコレクタ電圧は徐々に低下するが、高い状態が続くので、過電流の時と同じ状態が現われる。このままでは誤検出になるので、コンデンサ13と抵抗11のCR遅れ回路の作用により、その時定数に所じた時間ツェナーダイオード14のカソードに加わる検出信号がマスクされる。このマスク期間をIGBT10に係る低電流モード期間以上に設定することにより、疑似短絡による誤検出を防止する。

ト電圧 V_a は寄生容量 C_{ce} を介して下がる傾向にあり、ゲート電圧入力回路の出力電圧 V_{go} より大きくなれない。したがって、トランジスタ26はオフされたままとなり、この回路からの過電流検出信号は出力されることがない。一方、第2図のc.時において、アーム短絡等により過電流が流れ、第3図の関係によりIGBT10のコレクタ電圧 V_c が上昇しはじめると、IGBT10の寄生容量 C_{ce} を介してゲートからエミッタに電流が流れる。この結果、ゲート電圧 V_g が V_{go} よりも高くなり、トランジスタ26がオンする。なお、第1図実施例における V_{go} は、コンデンサ19の電圧である。トランジスタ28がオンするとゲート電圧 V_g が抵抗28を介して過電流検出信号として出力される。これによりコンデンサ13の充電が前述の過電流検出回路1と並列に行なわれることになり、充電時定数が大きくなってマスク期間が短縮され、第2図に示したように、1.時に過電流検出信号がトランジスタ15に出力される。ここで、抵抗11に比較して抵抗28を十分小さ

なお、IGBT10のオン期間におけるコレクタ電圧の高電圧状態がマスク期間以上継続する場合、すなわちアーム短絡等による場合はコンデンサ13が飽和し、ツェナーダイオード14を介してトランジスタ15に過電流検出信号が出力されることになる。例えば、第2図のb.時にアーム短絡等が発生したとすると、同図中点線で示したようにコンデンサ13は抵抗11を介してゲート電圧 V_g により充電される。そしてコンデンサ13の電圧がツェナーダイオード14の降伏電圧により定まる基準値(第1)に達すると、時までコレクタ電圧 V_c の過電圧が継続すると、過電流検出信号が出力される。以上の動作は、従来の過電流検出と同一であり、マスク期間中はアーム短絡等による過電流を検出できない。過電流検出回路1はアーム短絡等と疑似短絡を判別して検出するものであり、この動作を次に説明する。

通常のターンオン過程のIGBT10のコレクタ電圧 V_c は主回路電源電圧レベルから順方向電圧降下に相当するレベルまで低下するので、ゲ-

を低にすることによって、必要のないマスク期間を大幅に短縮できる。また、ノイズ等によりゲート電圧 V_g が高くなってトランジスタ26が誤ってオンしても、A点の電圧はダイオード12を介してオン状態のコレクタ電圧 V_c に引っぱられているので、過電流検出信号が出力されることはない。

トランジスタ15がオンするとコレクタ電流絞り込み回路が動作する。すなわち、コンデンサ19の充電荷が抵抗17、22およびホトカブラ18を介して放電を開始し、トランジスタ7のベース電圧が最終的に抵抗6と抵抗17および抵抗22との比率で決まる値まで低下する。これにより、第3図の関係でコレクタ電流が絞り込まれ、IGBT10の過電流を低電流状態で行なわせることができる。ここで、十分に減速されない間に制御側からのオン指令信号がオフに切替わることがあるので、コンデンサ21、抵抗24、トランジスタ23からなるオン保持回路により、所定の期間(1.〜1.5)ゲート電圧入力回路のトランジス

タ7がオン状態に保持される。

なお、上述の説明から明らかなように、ベース電圧に基づいた過電流検出回路2は検出遅延による動作しないことから、第1図の過電流検出回路1およびコンデンサ13のマスク回路を省略しても、IGBT10の過電流を高速に検出することができる。この場合、ノイズ等による誤動作を防止するため、ダイオード12の回路は設けることが望ましい。また、負荷短絡などによる過電流の場合には配線のインダクタンスにより、コレクタ電圧 V_c の上昇が抑えられ、ゲート電圧 V_g が判定に係る基準値に達するのが遅れたり、達しない場合も予想される。この点、第1図実施例のようにコレクタ電圧に基づいた過電流検出回路1を併用することにより、確実に過電流を検出できる。

第4図は本発明の第2の実施例を示す回路図である。第1図と同一機能のものには同一符号を記して説明は省略する。第1図とは抵抗11の位置が異なる。第1図の実施例では、過電流であると

のは変わらない。一方、コレクタ電流絞り込み回路が動作してゲート電圧が絞り込まれると、ゲート電圧による過電流検出回路2は動作が停止することになる。しかし、その時点ではすでにコレクタ電圧による過電流検出回路1が動作しているので、コレクタ電流絞り込み動作には影響しない。

第5図は本発明の第4の実施例を示す回路図である。第5図とはトランジスタ26のコレクタ抵抗28の接続点が異なり、コレクタ電流絞り込み回路のトランジスタ15のベースに直接接続されている。こうすることにより、コンデンサ13、ツェナダイオード14でマスクされることなく、過電流検出をさらに高速度できる特徴がある。なおこの場合、ノイズによりトランジスタ26が誤動作すると、過電流検出回路2が動作することになるが、途中でトランジスタ15のエミッタ電圧が上昇し、誤動作による信号はツェナダイオード14、ダイオード12を介してIGBT10のコレクタにバイパスされるので問題ない。

第7図に3相電圧型インバータ装置の回路図を

判定するレベルよりも絞り込むゲート電圧の値を小さくできない。本実施例ではコレクタ電圧を判定する基準電圧値が確立しているので、検出レベルと絞り込みの最終のゲート電圧を個別に設定することができるのが特徴である。このように、本発明はコレクタ電圧の判定方法そのものにはこだわらない。

なお、本実施例の場合は、抵抗11からなる過電流検出回路1をIGBT10のオン期間に同期して動作させるため、トランジスタ31を設け、そのベースをトランジスタ3と23のコレクタに抵抗30を介して接続した構成としている。

第5図は本発明の第3の実施例を示す回路図である。第4図とはゲート電圧検出のためのトランジスタ26のベース抵抗27の接続先が異なり、ゲート電圧入力回路の電源1に接続されている。静電誘導形自己消滅素子の場合、ゲートとエミッタ間は等価的にコンデンサであり、そのゲート素子はオン時には駆動回路の正側の電源電圧まで上昇するので、ゲート電圧検出のタイミングそのも

を示す。3相インバータは、直列接続された2組のIGBTスイッチ($S1+S4$, $S2+S5$, $S3+S6$)及びダイオード $D1$, $D2$, $D3$, $D4$, $D5$, $D6$ で構成される1アームが、3相直流電源1に並列接続され、各アームのスイッチ接続点に負荷である誘導電動機1Mを接続する構成となっている。IGBT $S1$, $S2$, $S3$, $S4$, $S5$, $S6$ は、本発明の第1～第4の実施例で示した駆動回路をそれぞれ有するものであるが、第7図には、その回路は省略してある。

なお、上述の実施例はすべてインバータに適用したものとして説明したが、本発明の過電流検出方法はチョップパ回路等を含む電流制御素子としての静電誘導形自己消滅素子に適用して、同一の効果を得ることができる。

(発明の効果)

以上説明したように、本発明によれば、ベース電圧により過電流検出を行なうようにしていることから、ターンオンに伴う過電流が否かを識別してアーム短絡又は負荷短絡による静電誘導形自己

消滅素子の過電流を検出することができ、マスクを不要とすることができることから、高速で検出することができる。

また、コレクタ電圧により過電流を検出する方法を併用することにより、負荷短絡による過電流のようにベース電圧による過電流検出が困難な場合にあっても、確実に検出することができるとともに、アーム短絡に対しては実質的にマスク期間を短縮して高速に検出することができる。

この結果、速やかにコレクタ電流検出と遮断を行なわせることができ、自己消滅素子を保護することができる。

4. 図面の簡単な説明

第1図は本発明の第1実施例を示す回路図、第2図は第1図実施例の動作を説明するタイムチャート、第3図はIGBTの特性図、第4図、第5図、第6図はそれぞれ本発明の第2、第3、第4の実施例を示す回路図、第7図は本発明に係るインバータ装置の一実施例を示す構成図である。

1、2…直流電源、

3、5、7、8、15、23、26、31…トランジスタ、

4、6、9、11、17、20、22、24、26、27、28、29、30…抵抗、

10…IGBT、

12、18、25…ダイオード、

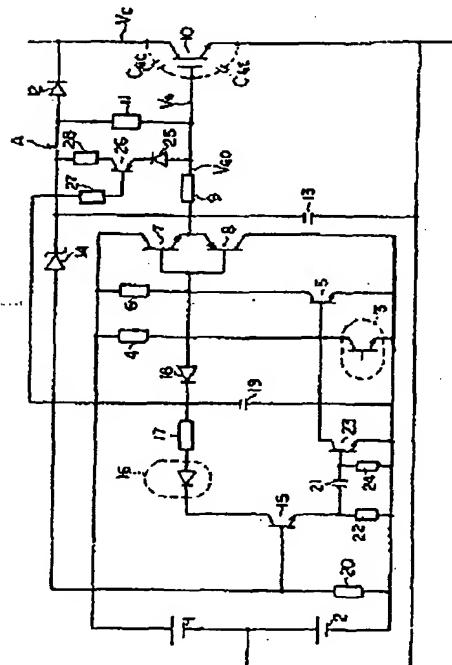
13、19、21…コンデンサ、

14…ツェナーダイオード、

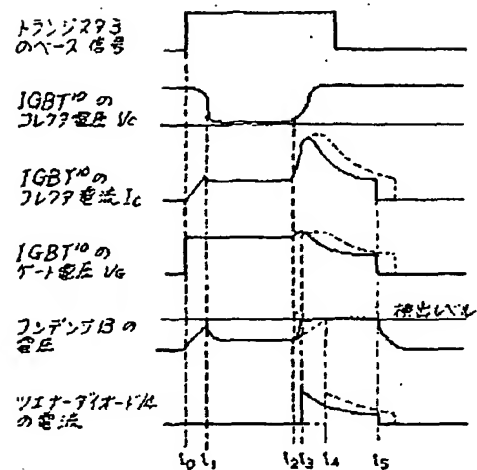
16…ホトカブラ。

代理人 株式会社

第1図



第2図



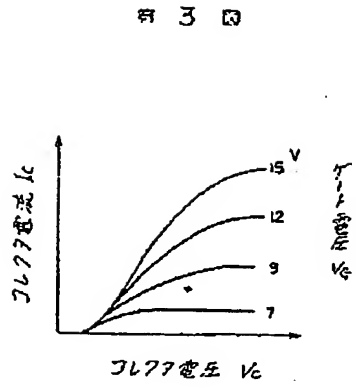


図 4

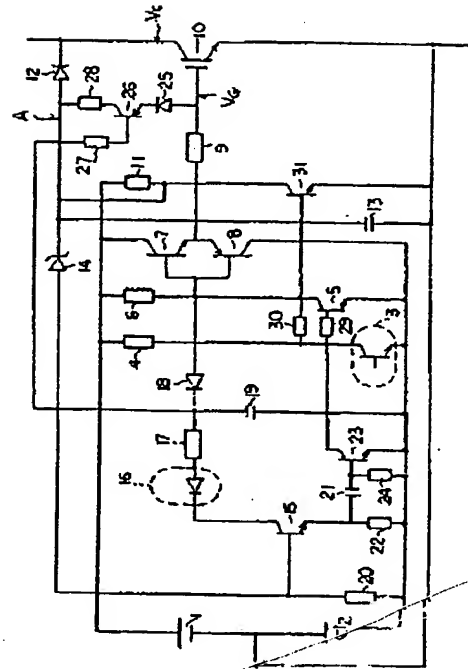


図 6

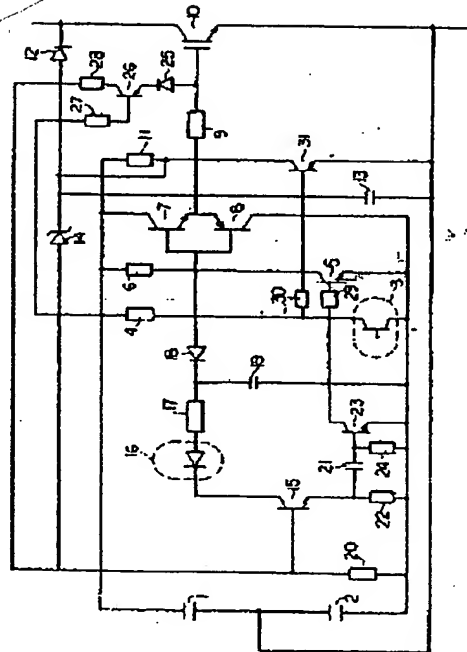
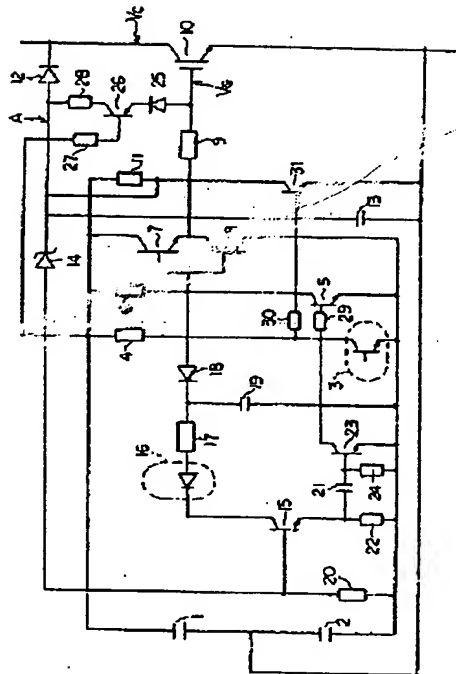
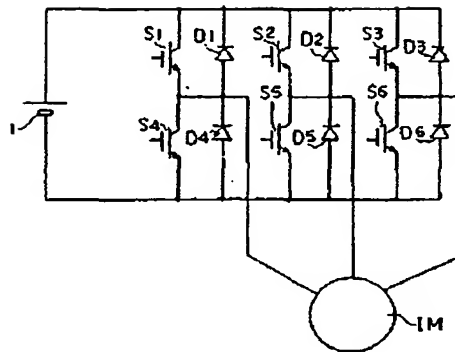


図 5



第 7 図



第1頁の続き

②発明者 鈴木

豊 茨城県日立市幸町3丁目1番1号 株式会社日立製作所日立工場内

